

CERAMICS CIRCUIT SUBSTRATE

Publication number: JP2000272976 (A)

Publication date: 2000-10-03

Inventor(s): NABA TAKAYUKI; MIZUNOYA NOBUYUKI +

Applicant(s): TOSHIBA CORP +

Classification:

- **international:** C04B37/02; H01L23/373; H05K1/11; H05K1/18; H05K3/46; H05K1/03; H05K3/34; H05K3/38; H05K3/40; C04B37/02; H01L23/34; H05K1/11; H05K1/18; H05K3/46; H05K1/03; H05K3/34; H05K3/38; H05K3/40; (IPC1-7): C04B37/02; H05K1/18; H05K3/46

- **European:** H01L23/373L; H05K1/11C

Application number: JP19990082997 19990326

Priority number(s): JP19990082997 19990326

Also published as:

JP4334054 (B2)

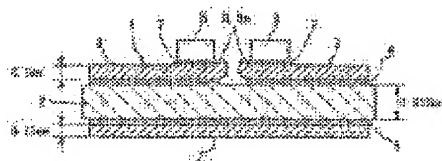
EP1039539 (A2)

EP1039539 (A3)

US6284985 (B1)

Abstract of JP 2000272976 (A)

PROBLEM TO BE SOLVED: To provide a ceramics circuit substrate excellent in operation reliability with slight short-circuiting of a circuit and defective joining of parts due to solder flow and readily mass-producible in high production yield. **SOLUTION:** This ceramics circuit substrate 1 is obtained by forming a protruding part 9 for preventing solder flow in at least the peripheral edge which is present in each metal circuit board 3 to be joined to a part such as a semiconductor element 8 with a solder and adjacent to another metal circuit board 3 in the ceramics circuit substrate 1 prepared by joining the plural metal circuit boards 3 and 3 to the surface of a ceramics substrate 2 and integrally joining the parts through solder layers 1 to the surfaces of the metal circuit board 3 and 3.



Data supplied from the **espacenet** database — Worldwide

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2000-272976

(P 2000-272976A)

(43) 公開日 平成12年10月3日(2000. 10. 3)

(51) Int. Cl. ⁷	識別記号	F I	テームコード(参考)
C 0 4 B	37/02	C 0 4 B	B 4G026
H 0 5 K	1/18	H 0 5 K	J 5E336
	3/46		H 5E346

審査請求 未請求 請求項の数 7

O L

(全 7 頁)

(21) 出願番号 特願平11-82997

(22) 出願日 平成11年3月26日(1999. 3. 26)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 那波 隆之

神奈川県横浜市鶴見区末広町二丁目4番地

株式会社東芝京浜事業所内

(72) 発明者 水野谷 信幸

神奈川県横浜市鶴見区末広町二丁目4番地

株式会社東芝京浜事業所内

(74) 代理人 100078765

弁理士 波多野 久 (外1名)

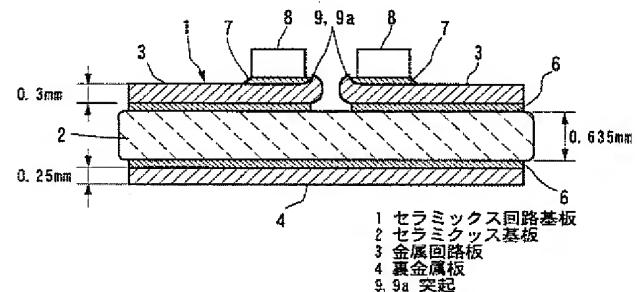
最終頁に続く

(54) 【発明の名称】セラミックス回路基板

(57) 【要約】

【課題】半田流れによる回路の短絡や部品の接合不良が少なく動作信頼性に優れ、高い製造歩留りで容易に量産することが可能なセラミックス回路基板を提供する。

【解決手段】セラミックス基板2の表面に複数の金属回路板3、3を接合し、上記金属回路板3の表面に半田層7を介して半導体素子8などの部品を一体に接合したセラミックス回路基板1において、上記部品を半田接合する金属回路板の少なくとも他の金属回路板と隣接する周縁部に半田流れを防止する突起9を形成したことを特徴とするセラミックス回路基板1である。



【特許請求の範囲】

【請求項1】 セラミックス基板の表面に複数の金属回路板を接合し、上記金属回路板の表面に半田層を介して半導体素子などの部品を一体に接合したセラミックス回路基板において、上記部品を半田接合する金属回路板の少なくとも他の金属回路板と隣接する周縁部に半田流れを防止する突起を形成したことを特徴とするセラミックス回路基板。

【請求項2】 半田流れを防止する突起の高さが5～50 μm の範囲であることを特徴とする請求項1記載のセラミックス回路基板。

【請求項3】 半田流れを防止する突起の幅が0.1～0.5 mmの範囲であることを特徴とする請求項1記載のセラミックス回路基板。

【請求項4】 金属回路板が、Ti、Zr、HfおよびNbから選択される少なくとも1種の活性金属を含有するろう材層を介してセラミックス基板と接合されていることを特徴とする請求項1記載のセラミックス回路基板。

【請求項5】 金属回路板が直接接合法によりセラミックス基板に接合されていることを特徴とする請求項1記載のセラミックス回路基板。

【請求項6】 金属回路板が銅回路板であり、この銅回路板がCu-O共晶化合物によりセラミックス基板に接合されていることを特徴とする請求項1記載のセラミックス回路基板。

【請求項7】 ろう材層を形成する面積が金属回路板の面積より小さく、金属回路板周縁部に未接合部を形成したことを特徴とする請求項4記載のセラミックス回路基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は高密度実装用のセラミックス回路基板に係り、特に半田流れによる回路の短絡や接合不良が少なく動作信頼性に優れ、高い製造歩留りで簡単に量産することが可能なセラミックス回路基板に関する。

【0002】

【従来の技術】従来からアルミナ (Al_2O_3) 焼結体などのように絶縁性に優れたセラミックス基板の表面に、導電性を有する金属回路板をろう材や接着剤やメタライズ金属層で一体に接合した回路基板がパワーランジスターモジュール用基板やスイッチング電源モジュール用基板として広く普及している。

【0003】しかしながら上記回路基板においては、金属回路板とセラミックス基板との間に、ろう材や接着剤やメタライズ層のような介在物が存在するため、両者間の熱抵抗が大きくなり、金属回路板上に設けられた半導体素子の発熱を系外に迅速に放熱させることが困難であるという問題点があった。

【0004】このような問題点を解消するため、近年、上記ろう材や接着剤やメタライズ層を使用せずに、所定形状に打ち抜いてパターンニングした金属回路板をセラミックス基板上に接触配置させて加熱するだけで直接接合する方法 (DBC法) が検討されている。すなわち、直接接合法は、セラミックスと金属とを、ろう材層や接着剤層やメタライズ層などの接合層を介在させずに直接的に接合する方法である。この直接接合法では金属中あるいは金属表面に存在する結合剤 (銅の場合は酸素) と金属との共晶液相が生成され、この共晶液相により、セラミックス基板の濡れ性を高めて両部材が直接的に接合される。

【0005】一方、回路基板に搭載する半導体素子の高集積化、高出力化に対応するため、従来のアルミナ (Al_2O_3) 基板などのセラミックス基板と比較して熱伝導率が高く、放熱性が優れた窒化アルミニウム (AlN) 基板を用いた回路基板も普及している。すなわち、従来のセラミックス基板より高い熱伝導率を有する窒化アルミニウム基板の表面に、例えば銅回路板を直接接合法によって表面に接合した後に、さらに回路板表面に半導体素子、抵抗、コンデンサなどの部品を半田接合した窒化アルミニウム回路基板が半導体素子搭載用基板として広く使用されるに至っている。

【0006】

【発明が解決しようとする課題】しかしながら、近年の半導体基板を使用した電子機器の小型化への技術的要請はさらに高まり、半導体素子などの部品をより多数搭載した高密度実装基板が要求されている。ここで、高密度実装基板には、半導体素子、抵抗、コンデンサなどの部品を同一基板内に多数搭載する必要があるため、それらの部品を電気的に接続する回路層の微細化が必須の要件となる。

【0007】ところが、従来のようにプレス加工やエッチング加工によって所定形状に形成した銅回路板を使用して回路層を形成する手法では、回路層のさらなる微細化は困難であった。また、セラミックス基板の表面にメタライズ法によって微細な回路層を形成し、その回路層の表面に半導体素子などの部品を半田接合により一体に実装して構成した回路基板が広く使用されている。

【0008】しかしながら、上記構成の回路基板においては、銅などから成る金属回路板の周縁部は突起のない平坦な形状に形成されていたため、部品を回路板表面に半田接合する際に、半田が接合部以外の領域に流出し易く、半導体素子などの部品の接合不良が生じ易く、また流出した半田によって微細な回路層が短絡する問題点があった。そして回路基板の動作不良が生じ易く、回路基板の製造歩留りが大幅に低下する問題点があった。

【0009】特に、半導体素子等の部品を金属回路板の周縁位置に近接して配置せざるを得ない回路パターンである場合には、溶融した半田が隣接する回路パターン間

に流出してしまい、半田ボイドが発生し易く、半田付け不良が多発して回路基板の製造歩留りが大幅に低下する問題点もあった。

【0010】本発明は上記問題点を解決するためになされたものであり、特に半田流れによる回路の短絡や部品の接合不良が少なく動作信頼性に優れ、高い製造歩留りで簡単に量産することが可能なセラミックス回路基板を提供することを目的とする。

【課題を解決するための手段】上記目的を達成するため、本願発明者らはセラミックス回路基板における半田流れ防止構造を種々検討した。その結果、セラミックス基板に接合する金属回路板の周縁位置に所定形状の突起を形成したときに、半導体素子などの部品を半田によって金属回路板表面に接合する際の半田が回路パターン間に流出することが効果的に防止でき、配線間の短絡事故が解消されるとともに、部品の金属回路板への位置決めも極めて容易になった。さらに、塗布した最少量の半田が全て部品の接合に寄与することになり、部品の良好な接合強度を有するセラミックス回路基板が初めて得られるという知見を得た。本発明は上記知見に基づいて完成されたものである。

【0011】すなわち、本発明に係るセラミックス回路基板は、セラミックス基板の表面に複数の金属回路板を接合し、上記金属回路板の表面に半田層を介して半導体素子などの部品を一体に接合したセラミックス回路基板において、上記部品を半田接合する金属回路板の少なくとも他の金属回路板と隣接する周縁部に半田流れを防止する突起を形成したことを特徴とする。

【0012】また、上記半田流れを防止する突起の高さは、 $5 \sim 50 \mu\text{m}$ の範囲であることが好ましい。さらに、半田流れを防止する突起の幅は、 $0.1 \sim 0.2 \text{ mm}$ の範囲であることが好ましい。

【0013】また、金属回路板は、Ti, Zr, HfおよびNbから選択される少なくとも1種の活性金属を含有するろう材層を介してセラミックス基板と接合するとよい。さらに、金属回路板は、直接接合法によりセラミックス基板に接合してもよい。特に、金属回路板が銅回路板であり、この銅回路板がCu-O共晶化合物によりセラミックス基板に接合されるように構成してもよい。

【0014】また、ろう材層を形成する面積が金属回路板の面積より小さく、金属回路板周縁部に未接合部を形成することにより、金属回路板の周縁部が盛り上がるように突起を形成することができる。

【0015】本発明に係るセラミックス回路基板に使用されるセラミックス基板としては、特に限定されるものではなく、酸化アルミニウム（アルミナ： Al_2O_3 ）等の酸化物系セラミックス基板の他に、窒化アルミニウム（ AlN ）、窒化けい素（ Si_3N_4 ）、窒化チタン（ TiN ）等の窒化物、炭化けい素（ SiC ）、炭化チタン（ TiC ）等の炭化物、またはほう化ランタン等の

ほう化物等の非酸化物系セラミックス基板でもよい。これらのセラミックス基板には酸化イットリウムなどの焼結助剤等が含有されていてもよい。

【0016】また上記金属回路板を構成する金属としては、銅、アルミニウム、鉄、ニッケル、クロム、銀、モリブデン、コバルトの単体またはその合金、コバル合金など、基板成分との共晶化合物を生成し、直接接合法や活性金属法を適用できる金属であれば特に限定されないが、特に導電性および価格の観点から銅、ニッケル、アルミニウムまたはその合金が好ましい。

【0017】金属回路板の厚さは、通電容量等を勘案して決定されるが、セラミックス基板の厚さを $0.25 \sim 1.2 \text{ mm}$ の範囲とする一方、金属回路板の厚さを $0.1 \sim 0.5 \text{ mm}$ の範囲に設定して両者を組み合わせると熱膨張差による変形などの影響を受けにくくなる。

【0018】特に金属回路板として銅回路板を使用し直接接合法によって接合する場合には、酸素を $100 \sim 1000 \text{ ppm}$ 含有するタフピッチ電解銅から成る銅回路板を使用し、さらに銅回路板表面に所定厚さの酸化銅層を予め形成することにより、直接接合時に、発生するCu-O共晶の量を増加させ、基板と銅回路板との接合強度を、より向上させることができる。

【0019】半田流れを防止する突起は、金属回路板上に半導体素子などの搭載部品を半田接合する際に、余剰の半田が流れ出すことを防止するために金属回路板の周縁部に一体に形成される。この半田流れを防止する突起の高さHは $5 \sim 50 \mu\text{m}$ 、好ましくは $10 \sim 15 \mu\text{m}$ の範囲とされる一方、幅Wは $0.1 \sim 0.5 \text{ mm}$ 、好ましくは $0.1 \sim 0.2 \text{ mm}$ の範囲とされる。この高さHが $5 \mu\text{m}$ 未満または幅Wが 0.1 mm 未満と過小な場合には、半田の流れを防止することが困難である一方、厚さが $50 \mu\text{m}$ または幅が 0.5 mm を超えるように過大に形成すると、部品の配置が困難になり、半導体素子などの搭載に悪影響を与える。

【0020】上記半田流れを防止する突起の形成方法としては、例えば図4～図6に示す方法が採用される。すなわち、図4に示すように金属板素材をプレス成形により打ち抜いて所定の金属回路板とする際に、回路板周縁に形成されるばりをそのまま突起9aとして利用することが可能である。

【0021】また、図5に示すように、予め所定の回路形状にパターンニングされた金属回路板3をろう材層6を介してセラミックス基板2上に接合した後に、セラミックス基板2と金属回路板3との線膨張係数差によって接合部近傍が収縮して金属回路板3の周縁を盛り上げて突起9bとすることもできる。

【0022】さらに、図6に示すように、ろう材層6を形成する面積を金属回路板3の面積より $5 \sim 15\%$ 程度小さくし、金属回路板3の周縁部に未接合部を形成することにより、接合後に金属回路板3の周縁部を外方に変

10

20

30

40

50

形せしめて所定形状の突起9cを形成することも可能である。

【0023】上記のように金属回路板の周縁部に突起を有する本発明に係るセラミックス回路基板は、以下のような手順で製造される。すなわち、図4に示すようにプレス成形時に形成されたばりをそのまま突起として利用する場合には、その突起を有する金属回路板を、活性金属法または直接接合法によってセラミックス基板に一体に接合して製造され。また、図5～図6に示すように平坦な金属回路板を接合後に変形させて突起を形成する場合

には、その金属回路板を、活性金属法または直接接合法によってセラミックス基板に一体に接合した後に変形せしめ突起を形成して製造される。

【0024】なお、直接接合法は Al_2O_3 などの酸化物系セラミックス基板のみについては直ちに適用可能であり、窒化アルミニウムや窒化けい素などの非酸化物系セラミックス基板にそのまま適用しても基板に対する濡れ性が低いため、金属回路板の充分な接合強度が得られない。

【0025】そこでセラミックス基板として非酸化物系セラミックスを使用する場合には、その非酸化物系セラミックス基板の表面に予め酸化物層を形成し、基板に対する濡れ性を高める必要がある。この酸化物層は上記非酸化物系セラミックス基板を、空气中などの酸化雰囲気中で温度1000～1400℃程度で2～15時間加熱して形成される。この酸化物層の厚さが0.5μm未満の場合には、上記濡れ性の改善効果が少ない一方、10μmを超えるように厚く形成しても改善効果が飽和するため、酸化物層の厚さは0.5～10μmの範囲が必要であり、より好ましくは1～5μmの範囲が望ましい。

【0026】本発明に係るセラミックス回路基板において、活性金属法によって金属回路板を接合する際に形成される活性金属ろう材層は、Ti、Zr、HfおよびNbから選択される少なくとも1種の活性金属を含有し適切な組成比を有するAg-Cu系ろう材等で構成され、このろう材組成物を有機溶媒中に分散して調製した接合用組成物ペーストをセラミックス基板表面にスクリーン印刷する等の方法で形成される。

【0027】上記接合用組成物ペーストの具体例としては、下記のようなものがある。すなわち重量%でCuを15～35%、Ti、Zr、HfおよびNbから選択される少くとも1種の活性金属を1～10%、残部が実質的にAgから成る組成物を有機溶媒中に分散して調製した接合用組成物ペーストを使用するとよい。

【0028】上記活性金属はセラミックス基板に対するろう材の濡れ性を改善するための成分であり、特に窒化アルミニウム(AlN)基板に対して有効である。上記の活性金属の配合量は、接合用組成物全体に対して1～10重量%が適量である。

【0029】一方、直接接合法によって金属回路板を接

合する場合には、以下のように処理される。すなわち Al_2O_3 など酸化物系セラミックス基板は、そのまま使用されるが、セラミックス基板が非酸化物系セラミックスから成り、また金属回路板が銅回路板である場合には、以下のように接合操作が実施される。すなわち酸化物層を形成したセラミックス基板の表面の所定位置に、銅回路板を接触配置して基板方向に押圧した状態で、銅の融点(1083℃)未満で銅-酸化銅の共晶温度(1065℃)以上に加熱し、生成したCu-O共晶化合物液相(共晶融体)を接合剤として銅回路板がセラミックス基板表面に直接的に接合される。この直接接合法は、いわゆる銅直接接合法(DBC法: Direct Bonding Copper法)である。

【0030】一方、金属回路板がアルミニウム回路板である場合には、結合剤としてはSiが選択されセラミックス基板表面にAl回路板を押圧した状態でアルミニウム-けい素の共晶温度以上に加熱し、生成したAl-Si共晶化合物液相(共晶融体)を接合剤としてAl回路板がセラミックス基板表面に直接的に接合されてセラミックス回路基板が製造される。

【0031】このセラミックス回路基板の金属回路板表面に、半田層を介して半導体素子、抵抗素子、コンデンサなどの部品を一体に接合して本発明に係るセラミックス回路基板が製造される。

【0032】上記構成に係るセラミックス回路基板によれば、金属回路板の部品接合部の周縁に半田流れを防止する突起が一体に形成されているため、部品接合後に余剰の半田が突起によって拘束され周囲に流れ出すおそれがない。したがって、半田流れによる回路の短絡や接合不良が少なく、動作信頼性に優れたセラミックス回路基板が得られる。

【0033】

【発明の実施の形態】次に本発明の実施形態について添付図面を参照し、以下の実施例に基づいて説明する。

【0034】セラミックス基板として、図1～図3に示す寸法を有し、熱伝導率が70W/m・Kであり、厚さが0.635mmである窒化けい素(Si_3N_4)基板と、熱伝導率が170W/m・Kであり、厚さが0.635mmである窒化アルミニウム(AlN)基板と、熱伝導率が25W/m・Kであり、厚さが0.635mmであるアルミナ(Al_2O_3)基板とを同一焼成ロットから多数用意した。

【0035】一方、金属板として図1～図3に示す形状および厚さを有し、Cu(無酸素銅)、Ni、Al、コバール合金(28%Ni-18Co-Fe)の各金属材料から成る金属回路板(厚さ0.3mm)および裏金属板(厚さ0.25mm)をそれぞれ調製した。

【0036】一方、重量比でTi粉末を3%、In粉末を10%、Ag粉末を62%、Cu粉末を25%含有する粉末混合物100重量部に対して、溶媒としてのテレ

ピネオールにバインダーとしてのエチルセルロースを溶解したバインダー溶液を20重量部添加して、播回機で混合後、三段ロールで混練してペースト状の接合用組成物を調製した。

【0037】実施例1～6

表1に示すように窒化けい素(Si_3N_4)基板、窒化アルミニウム(AlN)基板、およびアルミナ(Al_2O_3)基板の両面に前記ペースト状接合用組成物を介在させて、それぞれ表1に示す金属回路板および裏金属板を接触配置して3層構造の積層体とし、この各積層体を加熱炉内に配置し、炉内を $1.3 \times 10^{-3} \text{MPa}$ の真空度に調整した後に温度 750°C にて15分間加熱して図1～図3に示すように、各セラミックス基板2にろう材層6を介して金属回路板3および裏金属板4を一体に接合して、多数の接合体を得た。各接合体の金属回路板3の周縁部には、表1に示す幅および高さを有する突起9を形成した。

【0038】そして、上記突起9を形成した金属回路板表面に半田粒(63半田)を介して半導体素子(Si チップ)8を載置し、半田リフロー操作によって接合面に半田層7を形成し、金属回路板3と半導体素子8とを一体に接合することにより、図1に示すような実施例1～6に係るセラミックス回路基板1を調製した。

【0039】実施例7

金属板素材をプレスで打ち抜いて、図4に示すような高さ $6\mu\text{m}$ の突起9aを形成した金属板路板を用意した。次に Al_2O_3 基板の表面側に、図1～2に示す厚さ 0.3mm のタフピッチ電解銅から成る金属回路板としての銅回路板を接触配置する一方、背面側に厚さ 0.25mm のタフピッチ銅から成る裏金属板としての銅板を接触配置して積層体とし、この積層体を窒素ガス雰囲気調整し、温度 1075°C に設定した加熱炉に挿入して1分間加熱することにより、 Al_2O_3 基板の両面に金属回路板(Cu 板)または裏銅板を直接接合法(DBC法)によって接合した接合体をそれぞれ調製した。さらに各接合体の金属回路板の表面に、実施例1と同様に半田層7を介して半導体素子8を一体に接合することにより、所定の回路パターンを有する実施例7に係るセラミックス回路基板とした。

【0040】実施例8～9

金属板素材をプレスで打ち抜いて、図4に示すような幅が 0.1mm (実施例8用)または幅が 0.5mm (実施例9用)で高さ $8\mu\text{m}$ の突起9aを形成した金属板路板をそれぞれ用意した。

【0041】一方、実施例2で使用した窒化アルミニウム(AlN)基板を空気雰囲気中の加熱炉中で温度 1300°C で12時間加熱することにより、基板全表面を酸化し厚さ $2\mu\text{m}$ の酸化物層(Al_2O_3 皮膜)を形成した。

【0042】次に酸化物層を形成した各 AlN 基板の表

面側に、図1～2に示す厚さ 0.3mm のタフピッチ電解銅から成り、それぞれ突起9aを形成した金属回路板としての銅回路板を接触配置する一方、背面側に厚さ 0.25mm のタフピッチ銅から成る裏金属板としての銅板を接触配置して積層体とし、この積層体を窒素ガス雰囲気調整し、温度 1075°C に設定した加熱炉に挿入して1分間加熱することにより、各 AlN 基板の両面に金属回路板(Cu 板)または裏銅板を直接接合法(DBC法)によって接合した接合体をそれぞれ調製した。さらに各接合体の金属回路板の表面に、実施例1と同様に半田層7を介して半導体素子8を一体に接合することにより、所定の回路パターンを有する実施例8～9に係るセラミックス回路基板とした。

【0043】このように調製された各実施例のセラミックス回路基板1は、図1～図2に示すようにセラミックス基板2表面上に接合された金属回路板3と、この金属回路板3の周縁部に形成された半田流れ防止用の突起9aと、金属回路板3表面部に半田層7を介して接合された半導体素子8とを備えて構成されている。

【0044】上記実施例1～9に係るセラミックス回路基板1によれば、半導体素子8の接合後に、余剰の半田が半田流れ防止用の突起9、9aによって拘束される結果、半田流れはほとんど発生しなかった。したがって、半田流れによる回路の短絡および接合不良が少なく、動作信頼性に優れたセラミックス回路基板1が得られた。

【0045】比較例1～3

一方、実施例1、実施例4および実施例2において使用した予めパターンニングされた Cu 回路板および Ni 回路板に代えて、1枚板状の同一厚さの Cu 板および Ni 板をそれぞれ実施例1と同様に活性金属法によって接合した後に、得られた各接合体をエッチング処理することにより所定の回路パターンを有するセラミックス回路基板とした点以外は、それぞれ実施例1、実施例4および実施例2と同一条件で処理することにより、それぞれ対応する比較例1～3に係るセラミックス回路基板を調製した。

【0046】比較例4

一方、実施例7において使用した予めパターンニングされた Cu 回路板に代えて、1枚板状の同一厚さの Cu 板を実施例7と同様に直接接合法(DBC法)によって接合した後に、得られた接合体をエッチング処理することにより所定の回路パターンを有するセラミックス回路基板とした点以外は、実施例7と同一条件で処理することにより、対応する比較例4に係るセラミックス回路基板を調製した。

【0047】上記比較例1～4に係るセラミックス回路基板においては、セラミックス基板表面に一体に接合した金属板をエッチング処理して所定パターンを有する金属回路板を形成しているため、各金属回路板の周縁部には、表1に示す通り、ほとんど突起が形成されていない

い。

【0048】上記のように調製した実施例1～8および比較例1～4に係る各セラミックス回路基板について、半導体素子の接合不良、接合部におけるボイド（未接合部）の発生の有無、および半田流れによる配線ショート

等の不良発生率の合計値を求めたところ、下記表1に示す結果を得た。

【0049】

【表1】

試料 No.	接合方法/パターニング法	セラミックス 基板材質	金属回路板、 裏金属板の材質	突 起		不良発生率 (%)
				幅 (mm)	高さ (μm)	
実施例1	活性金属法/パターン金属接合	Si ₃ N ₄	Cu	0.2	30	0
実施例2	活性金属法/パターン金属接合	AlN	Cu	0.2	32	0
実施例3	活性金属法/パターン金属接合	Al ₂ O ₃	Cu	0.2	28	0
実施例4	活性金属法/パターン金属接合	Si ₃ N ₄	Ni	0.1	14	0
実施例5	活性金属法/パターン金属接合	Si ₃ N ₄	Al	0.1	8	2
実施例6	活性金属法/パターン金属接合	Si ₃ N ₄	コパール合金	0.2	21	0
実施例7	DBC/パターン金属接合	Al ₂ O ₃	Cu	0.1	6	1
実施例8	DBC/パターン金属接合	AlN	Cu	0.1	8	1
実施例9	DBC/パターン金属接合	AlN	Cu	0.5	8	0
比較例1	活性金属法/エッチング	Si ₃ N ₄	Cu	—	0	28
比較例2	活性金属法/エッチング	Si ₃ N ₄	Ni	—	1	22
比較例3	活性金属法/エッチング	AlN	Cu	—	0	31
比較例4	DBC/エッチング	Al ₂ O ₃	Cu	—	0	35

【0050】上記表1に示す結果から明かなように、金属回路板3の周縁に所定寸法の突起9、9a等を形成した各実施例に係るセラミックス回路基板1においては、部品としての半導体素子8を半田接合した場合においても、余剰の半田が突起9、9aによって拘束される結果、半田流れによる不良はほとんど発生しないことが判明した。したがって、半田流れによる回路の短絡がなく、動作信頼性に優れたセラミックス回路基板1が得られることが判明した。

【0051】特に塗布した最少量の半田が全て部品の接合に寄与することになり、部品としての半導体素子の接合強度も従来と比較して大幅に改善された。そして、後工程における各種部品の半田付け歩留りも大幅に改善された。

【0052】さらに、金属回路板3の周縁に形成された突起9によって半導体素子8等の搭載位置決めが容易になり、回路基板のアッセンブリ工程での組立作業性が良好になるとともに、回路寸法精度および部品の位置決め精度が高いセラミックス回路基板が得られた。

【0053】一方、金属回路板3の周縁部に半田流れ防止用の突起を形成しない各比較例に係るセラミックス回路基板においては、半田流れによる回路の短絡や汚損および接合不良による不良率が大幅に増加した。

【0054】

【発明の効果】以上説明の通り、本発明に係るセラミックス回路基板によれば、金属回路板の部品接合部の周縁

に半田流れ防止用の突起が形成されているため、部品接合後に余剰の半田が突起によって拘束される結果、周囲に流れ出すおそれがない。したがって、半田流れによる回路の短絡や接合不良が少なく、動作信頼性に優れたセラミックス回路基板が得られる。

【図面の簡単な説明】

【図1】本発明に係るセラミックス回路基板の一実施例を示す平面図。

30 【図2】図1に示すセラミックス回路基板の断面図。

【図3】図1に示すセラミックス回路基板の底面図。

【図4】金属回路板に形成する突起の形状例を示す断面図。

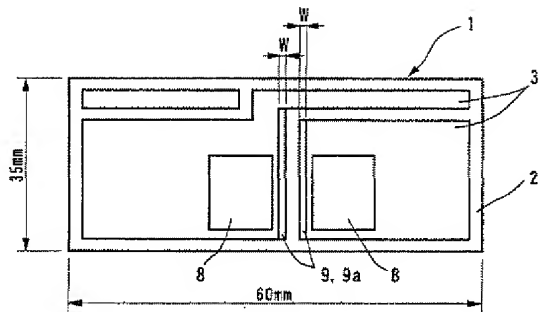
【図5】金属回路板に形成する突起の形状例を示す断面図。

【図6】金属回路板に形成する突起の形状例を示す断面図。

【符号の説明】

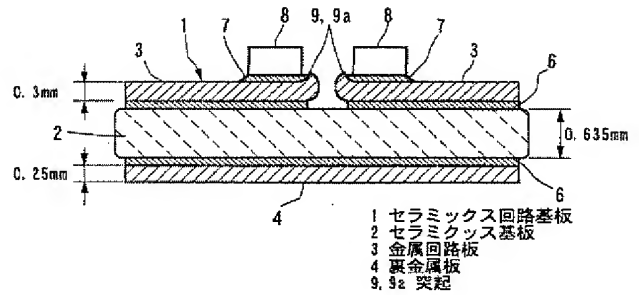
- 1 セラミックス回路基板
- 2 セラミックス基板 (Si₃N₄ 基板, AlN 基板, Al₂O₃ 基板)
- 3 金属回路板 (銅回路板)
- 4 裏金属板 (裏銅板)
- 6 ろう材層
- 7 半田層
- 8 半導体素子 (Si チップ)
- 9, 9a, 9b, 9c 突起

【図1】



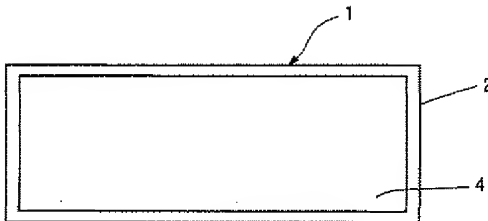
- 1 セラミック回路基板
2 セラミック基板 (Si_3N_4 , AlN基板)
3 金属回路板 (銅回路板)

【図2】

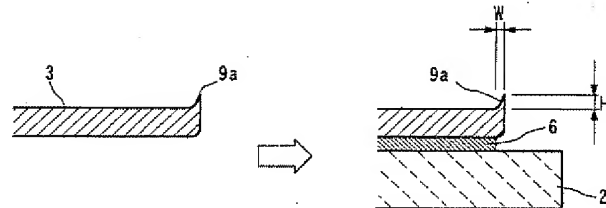


- 1 セラミックス回路基板
2 セラミックス基板
3 金属回路板
4 裏金属板
9, 9a 突起

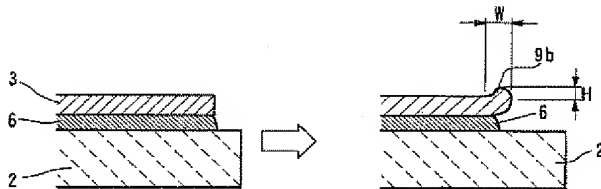
【図3】



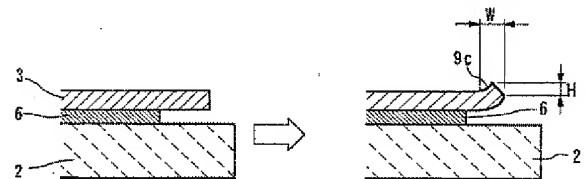
【図4】



【図5】



【図6】



フロントページの続き

Fターム(参考) 4G026 BA01 BA03 BA16 BA17 BB21
BB22 BC02 BD14 BF13 BF14
BF24 BF44 BG02 BG04 BG23
BH07
5E336 BB02 BB18 BC34 BC36 CC31
CC58 EE01 GG05 GG30
5E346 AA03 AA04 AA06 AA12 AA15
AA32 BB16 CC32 CC34 CC37
DD12 DD45